

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-068070

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 27/115
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 09-229517

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 26.08.1997

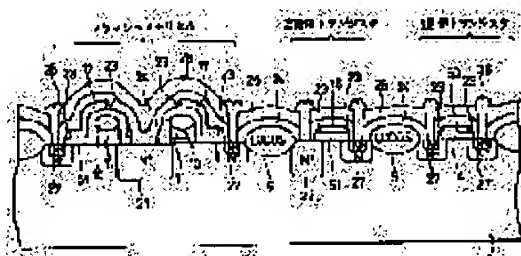
(72)Inventor : MORIKAWA NARIHIRO
MIYAWAKI YOSHIHIKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a flash memory and a high withstand voltage transistor to be manufactured through a concurrent manufacturing process.

SOLUTION: An first LOCOS film 5 for element isolation is formed on one conductivity-type semiconductor substrate. Then, a first conductive film is deposited on the surface of the semiconductor substrate and formed into a floating gate electrode 11 of a nonvolatile memory cell, and a second LOCOS film 10 is formed on the surface of the floating gate electrode 11. A first insulating film is deposited on the semiconductor substrate for forming an insulating film between the floating gate electrode and a control gate of the nonvolatile memory cell, and a gate-insulating film under the gate electrode of a high withstand voltage MOS transistor, which is formed in a region isolated by the first LOCOS film is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

The polysilicon (7) is removed by etching with using a LOCOS oxide film (10) as a mask, and a silicon oxide film (6) which is dirtied in the process of removing the polysilicon (7) is also partially removed by etching. At this time, a floating gate (11) of the flash memory is formed under the LOCOS oxide film (10). Then, a silicon oxide film (12) is formed on an entire surface of the P-type semiconductor substrate (1) by a CVD method, the silicon oxide film (12) being about 200 Å in thickness and relatively high in temperature (700 to 800 degrees).

This silicon oxide film (12) serves as an insulating film on a lateral face of the control gate and the floating gate (11) of the flash memory which are not entirely insulated with the LOCOS oxide film (10). Fig. 6 shows this state. This process enables finally using the silicon oxide film (12) both as an insulating film of a non-volatile memory cell and as a gate insulating film of a high voltage MOS transistor. This portion serving as both the insulating films is about 370 Å in thickness.

In the invention, the insulating film disposed between the floating gate electrode and the control gate electrode of the non-volatile memory cell, and the gate insulating film under the gate electrode of the high voltage MOS transistor can be formed in the same process. This provides an advantage of reducing the number of the manufacturing process.

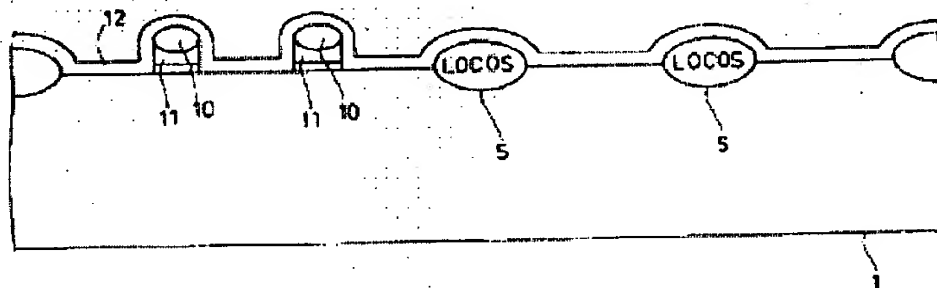


Fig. 6

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-68070

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶ 識別記号

H 0 1 L 27/115

27/10

21/8247

29/788

29/792

4 8 1

F I

H 0 1 L 27/10

29/78

4 3 4

4 8 1

3 7 1

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願平9-229517

(22) 出願日 平成9年(1997) 8月26日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 森川 成洋

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 宮脇 好彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

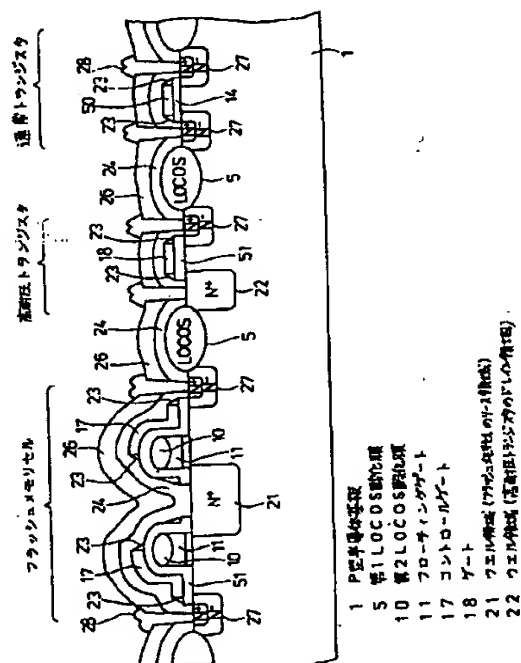
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体集積回路及びその製造方法

(57) 【要約】

【課題】 フラッシュメモリと高耐圧トランジスタの製造プロセスを兼用する。

【解決手段】 一導電型の半導体基板の表面に素子分離用の第1LOCOS酸化膜5を形成する第1工程と、前記半導体基板の表面に第1導電膜を堆積し、不揮発性メモリセルのフローティングゲート電極11として形成すると共に当該フローティングゲート電極の表面に第2LOCOS酸化膜10を形成する第2工程と、前記半導体基板の表面に第1絶縁膜を堆積し、前記不揮発性メモリセルの前記フローティングゲート電極とコントロールゲート電極との間の絶縁膜を形成すると共に前記第1LOCOS酸化膜により素子分離された領域に形成される高耐圧MOSTランジスタのゲート電極下のゲート絶縁膜を形成する第3工程とを含む。



【特許請求の範囲】

【請求項1】 不揮発性メモリと高耐圧MOSトランジスタとを同一の半導体基板上に作成するようにした半導体集積回路の製造方法であって、

一導電型の半導体基板の表面に素子分離用の第1LOCOS酸化膜を形成する第1工程と、

不揮発性メモリセルのフローティングゲート電極を形成するために前記半導体基板の表面に第1導電膜を堆積し、該第1導電膜表面に第2LOCOS酸化膜を形成する第2工程と、

前記半導体基板の表面に第1絶縁膜を堆積し、前記不揮発性メモリセルの前記フローティングゲート電極とコントロールゲート電極との間の絶縁膜を形成すると共に前記第1LOCOS酸化膜により素子分離された領域に形成される高耐圧MOSトランジスタのゲート絶縁膜を形成する第3工程とを含むことを特徴とする半導体集積回路の製造方法。

【請求項2】 不揮発性メモリと、高耐圧MOSトランジスタと、通常の耐圧のMOSトランジスタを同一の半導体基板上に作成するようにした半導体集積回路の製造方法であって、

一導電型の半導体基板の表面に素子分離用の第1LOCOS酸化膜を形成する第1工程と、

不揮発性メモリセルのフローティングゲート電極を形成するために前記半導体基板の表面に第1導電膜を堆積し、該第1導電膜表面に第2LOCOS酸化膜を形成する第2工程と、

前記半導体基板の表面に第1絶縁膜を堆積し、前記不揮発性メモリセルの前記フローティングゲート電極とコントロールゲート電極との間の絶縁膜を形成すると共に前記第1LOCOS酸化膜により素子分離された領域に形成される高耐圧MOSトランジスタのゲート絶縁膜を形成する第3工程と、

前記半導体基板の表面に第2絶縁膜を堆積し、前記第1LOCOS酸化膜により素子分離された領域に形成される前記通常の耐圧のMOSトランジスタのゲート絶縁膜を形成する第4工程とを含むことを特徴とする半導体集積回路の製造方法。

【請求項3】 不揮発性メモリと高耐圧MOSトランジスタとがLOCOS酸化膜により分離され同一の半導体基板上に形成されている半導体集積回路であって、不揮発性メモリセルのフローティングゲート電極とコントロールゲート電極との間の絶縁膜と高耐圧MOSトランジスタのゲート絶縁膜とが同一の工程で製造されていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フラッシュメモリセル（スプリットゲート型又はスタックゲート型のMOSトランジスタ）と高耐圧MOSトランジスタとを同一

半導体基板上に形成するのに好適な半導体集積回路の製造方法に関する。

【0002】

【従来の技術】 最近、フラッシュメモリの需要が高まっている。これは、フラッシュメモリが、マスクROM、EPROM、及び一部のEEPROMには無い優れた特性、即ち、データを繰り返し書き込み読み出しできると共に、書き込み済データを一括して又はページ単位で電氣的に消去できるという優れた特性を有することに起因する。例えば、1チップマイクロコンピュータのプログラムメモリとしてフラッシュメモリを内蔵すれば、プログラム変更に迅速に対応でき、プログラム開発期間を大幅に短縮できる利点が得られる。

【0003】

【発明が解決しようとする課題】 ところで、液晶駆動回路（例えば駆動波形の振幅が比較的高いS.T.N方式）を内蔵し、且つ、プログラムメモリとしてフラッシュメモリ（例えばスプリットゲート型）を内蔵する1チップマイクロコンピュータが知られている。このマイコン（1チップマイクロコンピュータ）は1つのチップでマイコン部とフラッシュメモリ部と液晶駆動回路部とを含む。このマイコンを製造する場合、前記液晶駆動トランジスタは高耐圧プロセスとする必要がある。そのため、1つの半導体装置を製造する工程の中に高耐圧プロセスを取り込まなければならず、製造工程数が増加する問題があった。

【0004】 そこで、本発明は、フラッシュメモリセル及び高耐圧トランジスタを同一半導体基板上に形成する際、製造工程を削減できる半導体集積回路の製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、前記問題点を解決する為に成されたものであり、不揮発性メモリと高耐圧MOSトランジスタとを同一の半導体基板上に作成するようにした半導体集積回路の製造方法であって、一導電型の半導体基板の表面に素子分離用の第1LOCOS酸化膜を形成する第1工程と、前記半導体基板の表面に第1導電膜を堆積し、不揮発性メモリセルのフローティングゲート電極として形成すると共に当該フローティングゲート電極の表面に第2LOCOS酸化膜を形成する第2工程と、前記半導体基板の表面に第1絶縁膜を堆積し、前記不揮発性メモリセルの前記フローティングゲート電極とコントロールゲート電極との間の絶縁膜を形成すると共に前記第1LOCOS酸化膜により素子分離された領域に形成される高耐圧MOSトランジスタのゲート電極下のゲート絶縁膜を形成する第3工程とを含み、前記第1絶縁膜を前記不揮発性メモリセルの絶縁膜と前記高耐圧MOSトランジスタのゲート絶縁膜とに兼用したことを特徴とする。

【0006】

【発明の実施の形態】本発明の半導体集積回路の製造方法、具体的には、フラッシュメモリセル（スプリットゲート型）及び高耐圧トランジスタを同一半導体基板上に形成する方法について、図1～図15の断面図を用いて具体的に説明する。尚、図1～図15は製造過程を示したものである。

【0007】先ず、P型半導体基板（1）の表面に熱処理を加えてシリコン酸化膜（2）を形成し、シリコン酸化膜（2）の表面にシリコン窒化膜（3）を堆積し、シリコン窒化膜（3）の表面にフォトレジスト膜（4）を塗布する。フォトレジスト膜（4）の表面にフォトマスク（図示せず）を介して紫外線を露光し、フォトレジスト膜（4）を現像して紫外線を露光した部分のみ除去する。更に、フォトレジスト膜（4）の除去部分に現れたシリコン窒化膜（3）をエッチング除去する。図1はこの状態を示す。

【0008】フラッシュ（不揮発性）メモリと高耐圧MOSTランジスタと通常トランジスタが形成される領域を図1に示す。次に、フォトレジスト膜（4）を例えば酸素プラズマ中の灰化によって除去する。その後、熱処理を加えて選択酸化し、素子分離用のLOCOS酸化膜（5）を形成する。図2はこの状態を示す。

【0009】次に、LOCOS酸化膜（5）を形成した後不要となったシリコン窒化膜（3）をエッチング除去し、シリコン窒化膜（3）を除去する工程で汚れたシリコン酸化膜（2）もエッチング除去する。この時、シリコン酸化膜（2）の膜厚は100Å程度、LOCOS酸化膜（5）の膜厚は7000～8000Å程度と膜厚差が十分かけ離れている為、シリコン酸化膜（2）のエッチング除去に伴いLOCOS酸化膜（5）を100Å程度除去したとしても、LOCOS酸化膜（5）の素子分離機能に何ら支障はない。その後、P型半導体基板

（1）の表面に熱処理を加えてきれいなシリコン酸化膜（6）を新たに形成する。図3はこの状態を示す。

【0010】次に、LOCOS酸化膜（5）及びシリコン酸化膜（6）の表面にポリシリコン（7）を堆積し、ポリシリコン（7）の表面にシリコン窒化膜（8）を堆積し、シリコン窒化膜（8）の表面にフォトレジスト膜（9）を塗布する。フォトレジスト膜（9）を図1と同様の処理で部分除去し、更にフォトレジスト膜（9）の除去部分に現れたシリコン窒化膜（8）をエッチング除去する。図4はこの状態を示す。

【0011】次に、フォトレジスト膜（9）を酸素プラズマ中の灰化によって除去し、熱処理を加えて選択酸化してLOCOS酸化膜（10）を形成する。このLOCOS酸化膜（10）はフラッシュメモリのコントロールゲート及びフローティングゲートの間の絶縁膜となる。その後、シリコン窒化膜（8）をエッチング除去する。図5はこの状態を示す。

【0012】次に、LOCOS酸化膜（10）をマスク

にしてポリシリコン（7）をエッチング除去し、ポリシリコン（7）を除去する工程で汚れたシリコン酸化膜（6）の一部もエッチング除去する。この時、LOCOS酸化膜（10）の下部に前記フラッシュメモリのフローティングゲート（11）が形成される。その後、P型半導体基板（1）の表面全体にCVD法による比較的高温（700～800℃）のシリコン酸化膜（12）を200Å程度堆積する。シリコン酸化膜（12）は、シリコン酸化膜（6）の残存分と、前記CVD法の前に行われる熱酸化膜と、前記CVD法後に行われる熱酸化膜とを含む。つまり、CVD法による膜を熱酸化膜でサンドイッチ状に挟み込む構造となっている。尚、前述のCVD法の前に行われる熱酸化膜は省略し、その分CVD法による膜を厚くしてもよい。

【0013】このシリコン酸化膜（12）は、LOCOS酸化膜（10）では絶縁されないフラッシュメモリのコントロールゲート及びフローティングゲート（11）側面の絶縁膜となる。図6はこの状態を示す。この工程により結果的にシリコン酸化膜（12）を不揮発性メモリセルの絶縁膜と高耐圧MOSTランジスタのゲート絶縁膜とに兼用できることとなる。この兼用される膜厚は370Å程度となる。

【0014】通常の5V程度の耐圧のMOSTランジスタではゲート絶縁膜が、高耐圧MOSTランジスタのゲート絶縁膜に比べて薄くなる。そこで、薄いゲート絶縁膜について次に説明する。シリコン酸化膜（12）の表面にフォトレジスト膜（13）を塗布し、フォトレジスト膜（13）を図1と同様の処理で通常の耐圧トランジスタの形成領域のみ部分除去する。その後、フォトレジスト膜（13）の除去部分に現れたCVD法によるシリコン酸化膜（12）をエッチング除去する。図7はこの状態を示す。

【0015】次に、フォトレジスト膜（13）を酸素プラズマ中の灰化によって除去し、P型半導体基板（1）の表面に熱処理を加え、全面にシリコン酸化膜（14）を形成する。この時、シリコン酸化膜（14）の膜厚はシリコン酸化膜（12）の膜厚より薄く、通常耐圧のMOSTランジスタのゲート絶縁膜の膜厚（170Å程度）に形成されることになる。図8はこの状態を示す。

【0016】次に、シリコン酸化膜（12）（14）が形成されたP型半導体基板（1）の表面にポリシリコン（15）を堆積し、ポリシリコン（15）の表面にフォトレジスト膜（16）を塗布し、フォトレジスト膜（16）を図1と同様の処理でフラッシュメモリのコントロールゲート及び高耐圧トランジスタのゲートの形成領域以外のみ部分除去する。図9はこの状態を示す。

【0017】次に、フォトレジスト膜（16）をマスクにしてポリシリコン（15）をエッチング除去し、残存しているフォトレジスト膜（16）を酸素プラズマ中の灰化によって除去する。これより、フラッシュメモリセ

ルのコントロールゲート(17)及び高耐圧トランジスタのゲート(18)及び通常耐圧のトランジスタのゲート(50)が形成される。図10はこの状態を示す。尚、(51)はシリコン酸化膜(12)(14)を示す。

【0018】次に、図10のP型半導体基板(1)の表面にフォトレジスト膜(19)を塗布し、フォトレジスト膜(19)を図1と同様の処理でフラッシュメモリセルのソース部分及び高耐圧トランジスタのドレイン部分のみ除去し、その後、予め定められた条件で、フォトレジスト膜(19)の除去部分にリンを注入する。図11はこの状態を示す。

【0019】次に、残存するフォトレジスト膜(19)を酸素プラズマ中の灰化によって除去し、P型半導体基板(1)の表面にCVD法によるシリコン酸化膜(20)を堆積する。この時のシリコン酸化膜(20)を成膜する工程を利用して注入済のリンを熱拡散させ、フラッシュメモリセルのソース領域(21)及び高耐圧トランジスタのドレイン領域(22)が形成される。つまり、CVD法によるシリコン酸化膜(20)を使用してフラッシュメモリセルのソース領域及び高耐圧トランジスタのドレイン領域を同一工程で形成できる。図12はこの状態を示す。

【0020】次に、シリコン酸化膜(20)に対して異方性エッチングを行い、詳しくは、P型半導体基板(1)の表面が露出するまでエッチバックを行い、フラッシュメモリセルのコントロールゲート(17)及び高耐圧トランジスタのゲート(18)の両端にスペーサ(23)が形成される。図13はこの状態を示す。次に、フラッシュメモリセルのコントロールゲート(17)、高耐圧トランジスタのゲート(18)及び通常耐圧のトランジスタのゲート(50)が露出している為、図13のP型半導体基板(1)の表面にCVD法によるシリコン酸化膜(24)を堆積する。このシリコン酸化膜(24)の成膜時の熱によって、ソース領域(21)及びドレイン領域(22)は更に熱拡散され、拡散の深さがより深くなる。これより、フラッシュメモリセルのソース領域及び高耐圧トランジスタのドレイン領域は高電圧の印加に耐えうる状態となる。

【0021】その後、フォトレジスト膜(25)を塗布し、フォトレジスト膜(25)を図1と同様の処理でソース領域(21)及びドレイン領域(22)以外の領域のみ部分除去する。そして、フォトレジスト膜(25)の除去部分に不純物濃度の低いヒ素及び不純物濃度の高いヒ素の順でイオン注入する。図14はこの状態を示す。不純物濃度の低いヒ素は大きなエネルギーで深く注入し、不純物濃度の高いヒ素は小さなエネルギーで浅く注入する。

【0022】次に、フォトレジスト膜(25)を酸素プラズマ中の灰化によって除去し、図14のP型半導体基

板(1)の表面にCVD法によるシリコン酸化膜(26)を堆積する。この時、シリコン酸化膜(26)の熱によって、注入済の不純物濃度の異なる2種類のヒ素が活性化され、フラッシュメモリセルのドレイン、高耐圧トランジスタのソース、及び通常耐圧トランジスタのドレインソースとなる領域(27)が二重拡散構造で形成される。その後、シリコン酸化膜(24)(26)をエッチング除去して、フラッシュメモリセルのドレイン、高耐圧トランジスタのソース、及び通常耐圧トランジスタのドレインソースとなる領域(27)を露出させ、このソースドレイン領域(27)にアルミ電極(28)を結合して端子が形成される。図15はこの状態を示す。

【0023】以上より、不揮発性メモリセルのフローティングゲート電極とコントロールゲート電極との間の絶縁膜と、高耐圧MOSトランジスタのゲート電極下のゲート絶縁膜を同一工程で形成できる為、製造工程数を削減できる。本発明では不揮発性メモリセルのフローティングゲート電極とコントロールゲート電極との間の絶縁膜の膜厚を優先して、この膜厚に高耐圧MOSトランジスタのゲート電極下のゲート絶縁膜の膜厚を合わせるようにした。これにより、兼用が可能となっている。

【0024】即ち、図15において、不揮発性メモリセルのフローティングゲート電極とコントロールゲート電極との間の絶縁膜となるシリコン酸化膜(51)(シリコン酸化膜(12)(14))は例えば、370Å程度必要となる。そこで、通常のMOSトランジスタのゲート電極下のゲート絶縁膜(シリコン酸化膜(14))の膜厚を170Å程度と設定すると、シリコン酸化膜(12)は200Å程度にすればよい。

【0025】

【発明の効果】本発明によれば、不揮発性メモリセルのフローティングゲート電極とコントロールゲート電極との間の絶縁膜と、高耐圧MOSトランジスタのゲート電極下のゲート絶縁膜を同一工程で形成できる為、製造工程数を削減できる利点が得られる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図2】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図3】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図4】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図5】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図6】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図7】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図8】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図9】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図10】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図11】本発明の半導体集積回路の製造方法を説明する為の断面図である。

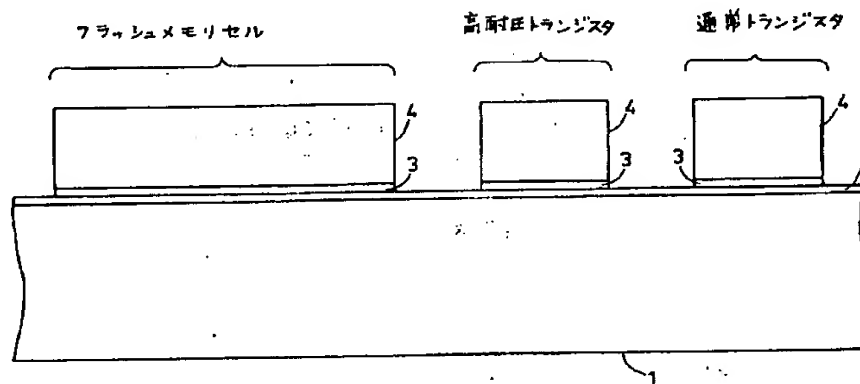
【図12】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図13】本発明の半導体集積回路の製造方法を説明する為の断面図である。

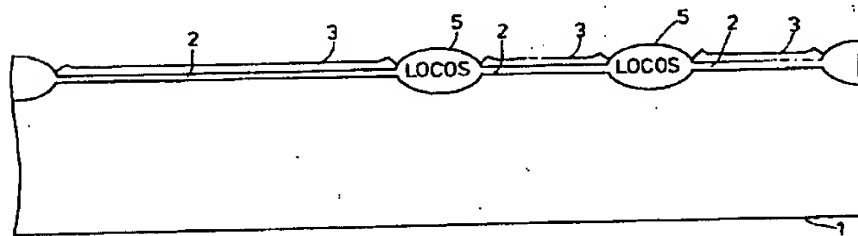
【図14】本発明の半導体集積回路の製造方法を説明する為の断面図である。

【図15】本発明の半導体集積回路の製造方法を説明する為の断面図である。

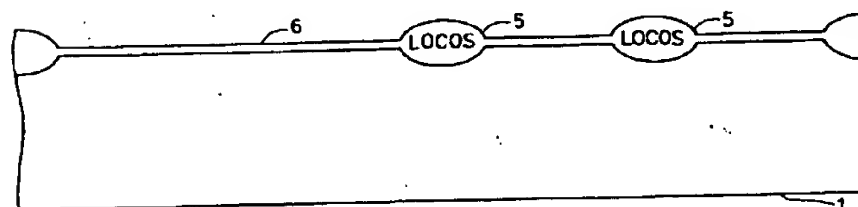
【図1】



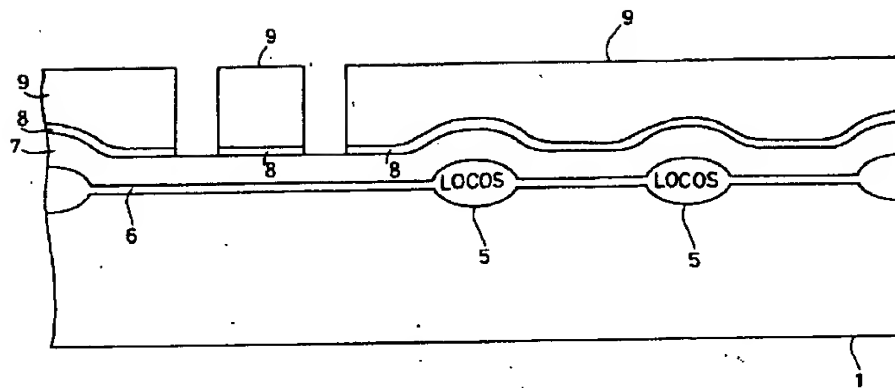
【図2】



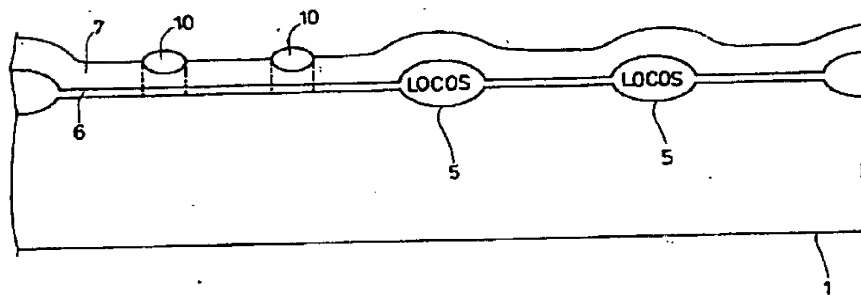
【図3】



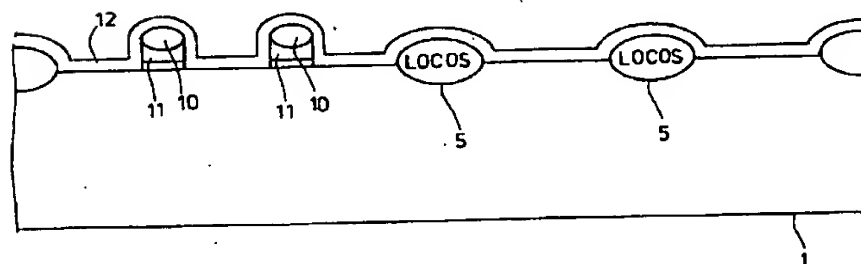
【図4】



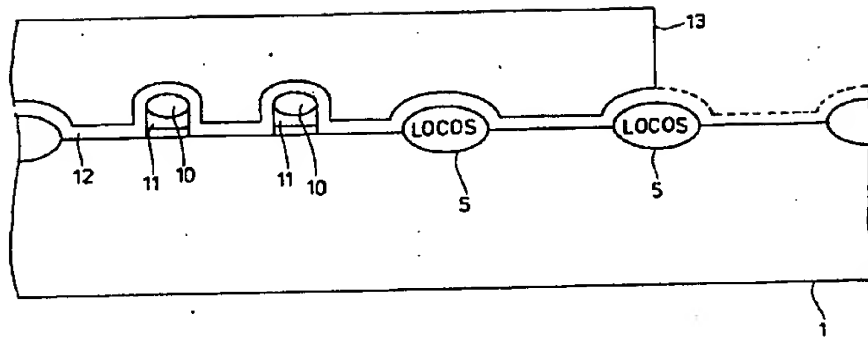
【図5】



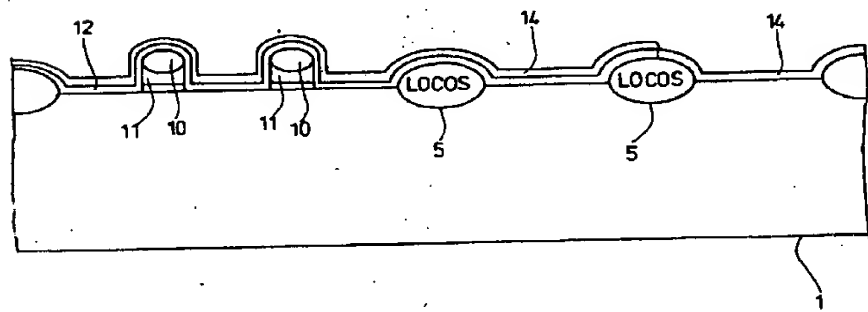
【図6】



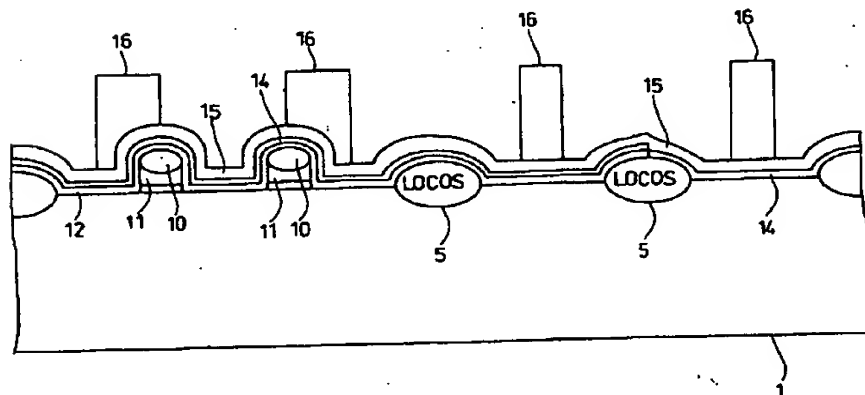
【図7】



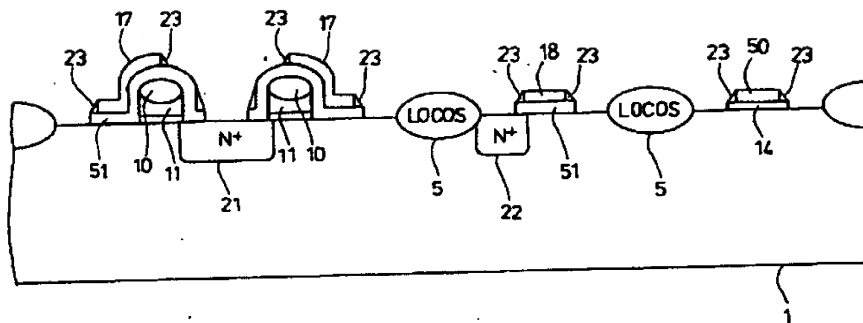
【図8】



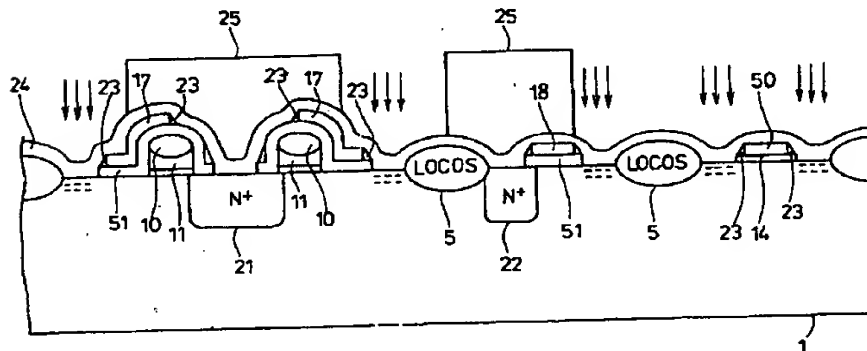
【図9】



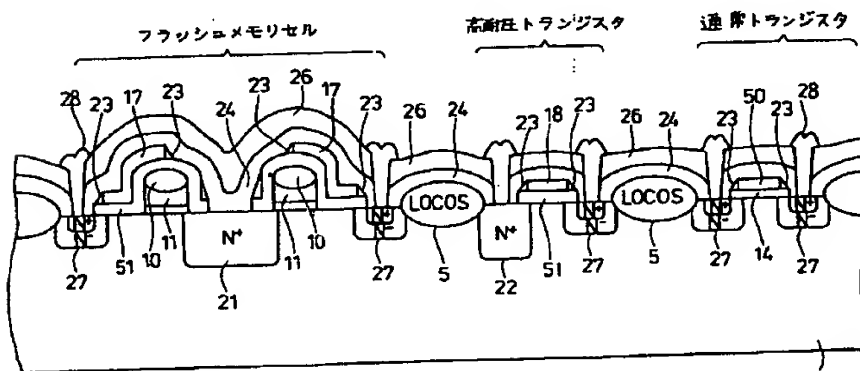
【図13】



【図14】



【図15】



- 1 P型半導体基板
 5 第1 LOCOS酸化膜
 10 第2 LOCOS酸化膜
 11 フローティングゲート
 17 コントロールゲート
 18 ゲート
 21 ウエル領域 (フラッシュメモリのソース領域)
 22 ウエル領域 (高耐圧トランジスタのドレイン領域)